

PATENT ABSTRACTS OF JAPAN

03-9805-TS-B (2)

(11)Publication number : 62-069672

(43)Date of publication of application : 30.03.1987

(51)Int.Cl.

H01L 27/14

H01L 31/10

(21)Application number : 60-210422

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.09.1985

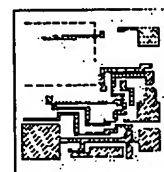
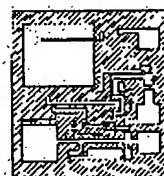
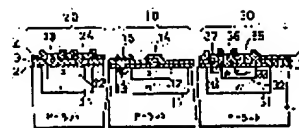
(72)Inventor : KAMAZAKI KEIJI

(54) PHOTSENSITIVE SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To avoid misoperation of an integrated circuit caused by an applied light by providing light shielding metal films on the parts of the circuit which are influenced by the light in peripheral circuits.

CONSTITUTION: A light shielding metal film 4 is patterned and the parts of the light shielding metal film 4 on metal wiring layers such as electrodes 14, 15, 23, 24, 35, 36 and 37 of respective element parts. As the parts of peripheral circuits, which are influenced by a light, of a photosensitive IC are covered with either the metal wiring layers or the light shielding metal films 4, incident lights into these parts are reflected by those metal films. Moreover, parasitic capacitances created by the overlapping of the metal wirings and shielding metal films can also be reduced so that instability of the circuit caused by the parasitic capacitances can be avoided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-69672

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)3月30日

H 01 L 27/14
31/107525-5F
6819-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 光感半導体集積回路装置

⑯ 特 願 昭60-210422

⑰ 出 願 昭60(1985)9月24日

⑱ 発 明 者 鎌 崎 啓 二 川崎市幸区堀川町72番地 株式会社東芝堀川町工場内
 ⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
 ⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

光感半導体集積回路装置

2. 特許請求の範囲

(1) 受光部およびその周辺回路部が同一チップ上に形成されてなる光感半導体集積回路装置において、少なくとも前記周辺回路部内の光による影響を受ける部分上には、金属膜からなる回路配線パターンに対して相補的な平面形状となるようにパターンニングした遮光用金属膜を設けたことを特徴とする光感半導体集積回路装置。

(2) 前記遮光用金属膜としてアルミニウム蒸着膜を用いたことを特徴とする特許請求の範囲第(1)項記載の光感半導体集積回路装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は受光部およびその周辺回路部が同一チップ上に形成された光感半導体集積回路装置に関する。

〔発明の技術的背景〕

光感半導体集積回路装置(以下、光感ICという)には受光部としてホトダイオード等の光感知素子が含まれ、周辺回路部として増幅回路、波形整形回路、駆動回路等が含まれている。このように受光部と周辺回路部が同一チップ上に含まれている場合、受光部には光を照射する必要があるが周辺回路部には光照射の必要はなく、むしろ照射することで回路の正常な動作に支障をきたすことになる(高速ホトコプラに光感ICを用いた場合の例として、特開昭54 153584号参照)。

このような問題を回避するために、周辺回路部内の少なくとも光による影響を受ける部分を、光を通過させない遮光性部材で覆う提案がなされている。その一例は前記特開昭54 153584号公報に記載され、また特開昭59 134872号公報、特開昭59 152682号公報にも他の例が記載されている。第4図はこの従来の遮光手段を施した光感ICの例を示している。

第4図において、1はP型シリコン基板である。該シリコン基板には受光素子としてホトダイオー

ド10が形成され、また周辺回路を構成する抵抗素子20およびNPNトランジスタ30が形成されている。ホトダイオード素子10は、P型基板1に形成されたN-型のカソード領域11および該カソード領域内に形成されたP型アノード領域12からなっている。また、シリコン基板1の表面を覆う酸化シリコン膜2に開孔されたコンタクトホールを介してアルミニウム膜パターンによるアノード電極14およびカソード電極15が形成されている。13はカソード電極の接触抵抗を低減するためのN+型コンタクト領域である。一方、抵抗素子20はN-型領域21内に形成されたP型拡散抵抗領域22からなり、該拡散抵抗領域の両端部にはアルミニウム電極23、24が形成されている。またNPNトランジスタ30は、P型基板1に寄生されたN-型コレクタ領域31と、該コレクタ領域内に形成されたP型ベース領域32と、該ベース領域内に形成されたN+型エミッタ領域33とからなっている。各領域にオーミック接触したエミッタ電極35、ベース電極36

- 3 -

点が多い反面、次のような問題があった。

即ち、電極配線層上にも絶縁膜を介して遮光用の金属膜が形成されているため、この絶縁膜に僅かなピンホール等があると、金属配線と遮光用金属膜が接触し、配線間のショート若しくは抵抗性リークが発生して回路が動作不良になることである。特に、この光感ICを温度変化が激しい等の悪い環境で使用していると、温度変化により基板や配線金属、絶縁膜、遮光用金属膜等の熱膨張率が夫々の材質により相違するため、ピンホールが発生したり拡大したりして配線間ショートを起し易くなる。その結果、当初は良品であったものが使用中に動作不良となり、装置の信頼性上極めて好ましくない事態を生じている。

〔発明の目的〕

本発明は上記事情に鑑みてなされたもので、遮光性金属膜による遮光効果を低減することなく、遮光性金属膜とその下の金属配線層との接触による配線間ショート等の不良発生を防止することができる光感半導体集積回路装置を提供するもので

- 5 -

およびコレクタ電極37がアルミニウムパターンで形成されている。34はコレクタコンタクト領域である。そして、各素子部の電極14、15、23、24、35、36、37を覆うCVD-SiO₂膜またはポリイミド樹脂膜等の絶縁膜3が形成されている。更に、この絶縁膜3の上には遮光用金属膜4が受光部10以外の周辺回路素子部20、30の全表面を覆うように形成されている。

上記従来の光感ICでは、遮光用金属膜4によって受光部10以外の周辺回路素子への光の入射が妨げられ、回路の正常な動作に支障をきたすのを防止することができる。

〔背景技術の問題点〕

上記従来の光感ICは、他の遮光手段を用いたものに比較した場合、遮光材である金属膜4の形成にアルミニウム蒸着等の半導体装置の製造における通常のプロセスをそのまま適用できること、ウェハー状態で処理できるために量産性に優れること、また大きな遮光効果が得られること等の利

- 4 -

ある。

〔発明の概要〕

光感ICにおいて、金属配線層とその上の遮光性金属膜とが接触する確率は、両者の重なり合う面積に略比例して増大する。そこで、本発明では金属配線層の上の遮光用金属膜をパターンニングにより除去することで前記重なり合いを著しく少なくし、両者が接触する確率を小さくしたものである。

即ち、本発明による光感半導体装置は、受光部およびその周辺回路部が同一チップ上に形成される光感半導体集積回路装置において、少なくとも前記周辺回路部内の光による影響を受ける部分上には、金属膜からなる回路配線パターンに対して相補的な平面形状となるようにパターンニングした遮光用金属膜を設けたことを特徴とするものである。

〔発明の実施例〕

第1図は本発明の一実施例になる光感ICを示す断面図であり、第2図はその遮光用金属膜の平

- 5 -

面図、第3図は金属配線層の平面図である。これらの図において、第4図の従来例と同じ部分には同一の参照番号を付した。図示のように、この実施例は遮光用金属膜4がパターンニングされ、各素子部の電極14、15、23、24、35、36、37等、金属配線層の真上からは遮光性金属膜4が除去されている。その他の構成は、第4図の従来の光感ICと同じである。

以下、製造方法プロセスに即して上記実施例を更に詳細に説明する。

まず、通常のプレーナ型半導体装置の製造工程により、P型シリコン基体1に受光部および周辺回路部、即ち、ホトダイオード10、抵抗素子20、NPNトランジスタ30等を形成する。これら各素子の表面にはパッシベーション膜として酸化シリコン等の絶縁膜2が形成され、また素子の各領域からは必要な電極14、15 etcが取出されると共に、各素子間にはアルミニウム等の金属配線により回路配線が行なわれる。第3図はこの金属配線層の平面図の例を示し、図中斜線部分

- 7 -

まう。従って、実質的に半導体内部への光入射がなく、従来と同様の遮光効果を得ることができる。

しかも、上記実施例の光感ICチップをリードフレームにダイボンディングし、ワイヤボンディング及び透明エポキシ樹脂によるトランスファーマールドを行なって組立てた受光素子につき、温度サイクル条件下でテストしたところ、誤動作等の事故は殆ど皆無であった。この結果は、金属配線層と遮光用金属膜との重なりが実質的にゼロであるため、絶縁膜3のピンホールを介して両者が短絡するのが防止されたことによるものである。

加えて、金属配線層と遮光用金属膜4との重なりによる寄生容量も低減されるため、この容量に起因した回路の不安定化も回避される。従って、上記実施例の光感ICでは安定した回路動作が得られ、信頼性を更に向上することができる。

なお、上記実施例において金属配線層と遮光用金属膜が接触しても何等問題にならない部分では、金属配線層上の遮光用金属膜4を除去しなくてもよい。

- 9 -

が配線層であり、破線で囲った部分は受光部を示している。

次いで、この金属配線層上に酸化シリコン、ポリイミド樹脂等の絶縁膜3を被覆し、その上に遮光膜4となるアルミニウム等の金属膜4を真空蒸着法等により堆積する。ここまでは、第4図の従来の光感ICと何等変わるところはない。

次に、上記遮光用金属膜をパターンニングし、受光部および下層の前記金属配線層と重なり合う部分を除去する。この重なり合う部分を除去することが本発明の要点である。第2図はこうして形成された遮光用金属膜4の平面図であり、金属配線層と重なり合う面積を極力少なくするため、図示のように周辺回路部では遮光用金属膜4を金属配線層パターンに対して相補的な平面形状にパターンニングする。

上記実施例の光感ICは、周辺回路部のうち光により影響を受ける部分は金属配線層もしくは遮光用金属膜4の何れかで覆われるため、この部分に入射してきた光はこれら金属膜で反射されてし

- 8 -

また、遮光を必要としない部分では、当然ながら遮光用金属膜4を設けなくてもよい。

〔発明の効果〕

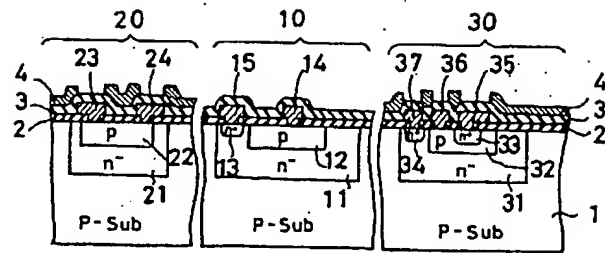
以上詳述したように、本発明による光感半導体集積回路装置は周辺回路部へ照射された光による回路の誤動作が防止され、且つ対環境的な信頼性も向上する。また、金属配線層と遮光用金属膜との重なりによる寄生容量も低減されるため、この容量に起因した回路の不安定化も回避される等、顕著な効果が得られるものである。

4. 図面の簡単な説明

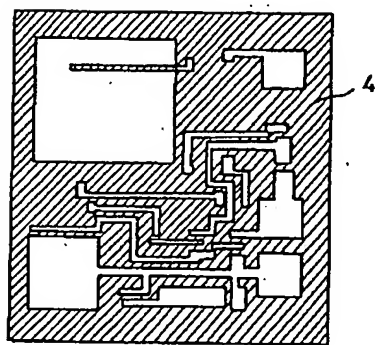
第1図は本発明の一実施例になる光感ICを示す断面図、第2図は第1図の実施例における遮光用金属膜の平面図であり、第3図は金属配線層パターンの平面図、第4図は従来の光感ICを示す断面図である。

1…P型シリコン基板、2…酸化シリコン膜、3…絶縁膜、4…遮光用金属膜、10…ホトダイオード素子部、20…抵抗抵抗素子部、30…NPNトランジスタ素子部。

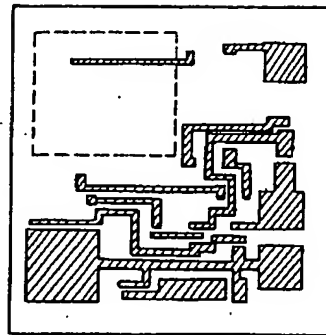
- 10 -



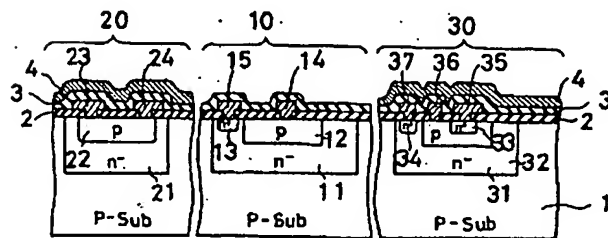
第 1 図



第 2 図



第 3 図



第 4 図